

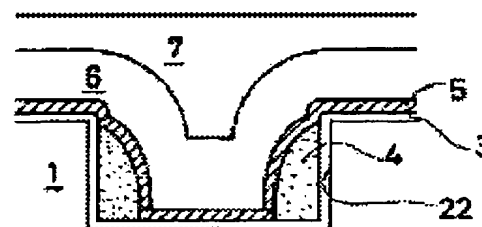
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP5055360
Publication date: 1993-03-05
Inventor: HOTTA MASAYOSHI
Applicant: SHARP CORP
Classification:
- **International:** H01L21/76
- **European:**
Application number: JP19910213534 19910826
Priority number(s):

Abstract of JP5055360

PURPOSE: To prevent a step from occurring at the edge of a trench when the trench is filled with a CVD-SiO₂ film or the like.

CONSTITUTION: An Si₂N₄ film 5 is made to serve as a stopper when a BPSG/ CVD-SiO₂ film is etched back. The surface of the BPSG/CVD-SiO₂ film buried in a trench after an element isolation region is formed is set higher than that of an Si substrate 1. When a glass film 7 of BPSG excellent in melt properties is formed and successively flattened by annealing at a high temperature, boron and phosphorus are prevented from diffusing automatically from the BPSG film 7 by the interposition of the Si₂N₄ film 5. By this setup, a trench very small to comparatively large in width can be uniformly filled with glass of good melt property.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-55360

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl.⁵

H 0 1 L 21/76

識別記号

庁内整理番号

L 9169-4M

F I

技術表示箇所

審査請求 未請求 請求項の数 3 (全 4 頁)

(21)出願番号 特願平3-213534

(22)出願日 平成3年(1991)8月26日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 堀田 昌義

大阪市阿倍野区長池町22番22号 シャープ
株式会社内

(74)代理人 弁理士 野河 信太郎

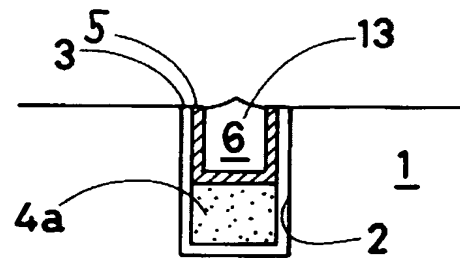
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 トレンチ内をCVD-SiO₂膜等で埋め込む場合トレンチのエッジ部で段差を生じるのを回避すること。

【構成】 Si₃N₄膜5をBPSG/CVD-SiO₂のエッチバックの際のストッパーとして用いる。素子分離領域形成後トレンチ内に埋め込んだCVD-SiO₂膜の表面をSi基板1の表面よりも高く配置する。良溶解性のガラス、例えば、BPSG膜7を積層し、続いて高温アニールで平坦化する際にSi₃N₄膜5の介在によってBPSG膜7からのボロン、リンのオート・ドーピングを防止できる

【効果】 微細なトレンチから比較的広い幅のトレンチまで非溶解性ガラスを均一性良く埋め込めることができる。



【特許請求の範囲】

【請求項1】 開口幅の狭いトレンチと開口幅の広いトレンチを有する半導体基板内に、

(a) その基板の表面全面を酸化した後その酸化膜の全面にPoly-Si膜を堆積後エッチバックして開口幅の狭いトレンチ内にPoly-Si膜を残存させる工程と、

(b) トレンチを含む半導体基板上の全面にSi₃N₄膜を堆積する工程と、

(c) 少なくともトレンチ内が埋設されるようにガラス層に対して非溶解性のSiO₂膜を形成後その上にSiO₂に対して良溶解性のガラス層を積層する工程と、

(d) 高温アニール後平坦化し、Si₃N₄膜が露出するまでドライエッチング或いは、ウェットエッチングを行ってトレンチに非溶解性のSiO₂膜を埋め込むことで素子分離領域を形成するに際して、

開口幅の広いトレンチ内に埋め込まれる非溶解性のSiO₂膜の段差がなくなるまで上記(c)、(d)工程を順次少なくとも1回以上繰り返し、それによってトレンチ内を埋め込むようにする工程とからなる半導体装置の製造方法。

【請求項2】 開口幅の狭いトレンチは、その底部にトレンチのアスペクト比を低減しうるPoly-Si膜を有する請求項1による半導体装置の製造方法。

【請求項3】 良溶解性のガラス層が、BPSG層、BPSG層又はPSG層である請求項1による半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置の製造方法に関し、更に詳しくは、サブミクロンデバイスの素子分離技術に関するものである。

【0002】

【従来の技術】 従来のこの種の方法はLOCOS方或いはBOX法にて行われていた。

【0003】

【発明が解決しようとする課題】 しかし、上記従来法では、トレンチ内をCVD-SiO₂膜等で埋め込む場合、開口径が0.3~1.0μmの微細なトレンチでは、アスペクト比が大となり、トレンチ内を均一に埋め込めない。また、BPSG/CVD-SiO₂のエッチバックの際ドライエッチングを行う場合に均一性、選択性が十分でなく、またウェットエッチングを行った場合でもトレンチのエッジ部で段差を生じる。

【0004】

【課題を解決するための手段及び作用】 この発明は、開口幅の狭いトレンチと開口幅の広いトレンチを有する半導体基板内に、(a) その基板の表面全面を酸化した後その酸化膜の全面にPoly-Si膜を堆積後エッチバックして開口幅の狭いトレンチ内にPoly-Si膜を残

存させる工程と、(b) トレンチを含む半導体基板上の全面にSi₃N₄膜を堆積する工程と、(c) 少なくともトレンチ内が埋設されるようにガラス層に対して非溶解性のSiO₂膜を形成後その上にSiO₂に対して良溶解性のガラス層を積層する工程と、(d) 高温アニール後平坦化し、Si₃N₄膜が露出するまでドライエッチング或いは、ウェットエッチングを行ってトレンチに非溶解性のSiO₂膜を埋め込むことで素子分離領域を形成するに際して、開口幅の広いトレンチ内に埋め込まれる非溶解性のSiO₂膜の段差がなくなるまで上記(c)、

(d) 工程を順次少なくとも1回以上繰り返し、それによってトレンチ内を埋め込むようにする工程とからなる半導体装置の製造方法である。すなわち、この発明では、Si₃N₄膜を、非溶解性のSiO₂膜を形成後その上に良溶解性のガラス層を積層してこれらをエッチバックして非溶解性のSiO₂膜をトレンチ内に埋設する際のストッパーとして用いる。また、素子分離領域形成後トレンチ内に埋め込んだ非溶解性のSiO₂膜の表面をSi基板の表面よりも高く配置する。更にはSi₃N₄膜の介在によって良溶解性のガラスを積層して高温アニールで平坦化する際、Si₃N₄膜の介在によって良溶解性のガラスからの不純物のオート・ドーピングを防止できるようにしたものである。

【0005】

【実施例】 まず、図1に示すように、Si基板1に開口幅（開口径）0.5μm、深さ0.6μmの、幅の狭いトレンチ2を形成する。そして、トレンチ2内を酸化して膜厚Aが500ÅのSiO₂膜3を形成し、その後、Poly-Si膜4を膜厚Bが6000Åに堆積する。一方、図2は図1と同時に工程で作成される幅広のトレンチ22の領域を示す。次に、トレンチ2、22におけるPoly-Si膜4をRIEによりエッチバックする（図3、図4参照）。この時、狭いトレンチ2（図3参照）では、トレンチ内にPoly-Si膜4aが2000~3000Å程度残るようにエッチバックする。一方、幅広のトレンチ22内ではトレンチ内の側壁部以外はPoly-Si膜が残存することなく除去される（図4参照）。次に、トレンチ内にSi₃N₄膜5をCVD法により500Å堆積する（図3、図4参照）。次に、図5、図6に示すように非溶解性のガラス、例えば、CVD-SiO₂膜6を6000Å厚積層し、その上に良溶解性のガラス、例えば、BPSG膜7を6000Å積層し、続いて900~1000℃の高温アニールで平坦化する。この際、Si₃N₄膜5の介在によってBPSG膜7からのボロン、リンのオート・ドーピングを防止できる

次にBHFにより、Si₃N₄膜5が露出するまでエッチバックして各トレンチ2、22内にCVD-SiO₂膜6を残存させる（図7、図8参照）。この時、幅広のトレンチ22（図8参照）では、エッジ部で段差8が生じる。このため、図9、図10に示すようにさらに(i) C

3

VD-SiO₂ 膜9及びBPSG膜10を順次積層する工程と、(ii) 上記と同じ高温アニール工程と、さらに (iii) SiO₂ 膜9、BPSG膜10のエッチバックの工程をトレンチ22内で、CVD-SiO₂ 膜の段差が生じないように(図12参照)、かつ均一で平坦な表面を有するようになるまで再度繰り返すことにより、CVD-SiO₂ 膜9を埋め込むことができる(図11、図12参照)。最後に、図13、図14に示すようにトレンチ2,22内に存在しているSi₃N₄ 膜5とSiO₂ 膜3のみを残して、Si₃N₄ 膜5と、SiO₂ 膜3を順次

【0006】

【発明の効果】以上のようにこの発明によれば、簡便かつ低コストで、微細なトレンチから比較的広い幅のトレンチまで非溶融性ガラスを均一性良く埋め込むことができる。また、パターン密度にも依存しないため、高集

【図面の簡単な説明】

【図1】この発明の一実施例の狭い開口幅のトレンチにおける製造工程の第1ステップを示す構成説明図である。

【図2】上記実施例の広い開口幅のトレンチにおける製

4

造工程の第1ステップを示す構成説明図である。

【図3】上記実施例の狭い開口幅トレンチにおける製造工程の第2ステップを示す構成説明図である。

【図4】上記実施例の広い開口幅のトレンチにおける製造工程の第2ステップを示す構成説明図である。

【図5】上記実施例の狭い開口幅のトレンチにおける製造工程の第3ステップを示す構成説明図である。

【図6】上記実施例の広い開口幅のトレンチにおける製造工程の第3ステップを示す構成説明図である。

10 【図7】上記実施例の狭い開口幅のトレンチにおける製造工程の第4ステップを示す構成説明図である。

【図8】上記実施例の広い開口幅のトレンチにおける製造工程の第4ステップを示す構成説明図である。

【図9】上記実施例の狭い開口幅のトレンチにおける製造工程の第5ステップを示す構成説明図である。

【図10】上記実施例の広い開口幅のトレンチにおける製造工程の第5ステップを示す構成説明図である。

【図11】上記実施例の狭い開口幅のトレンチにおける製造工程の第6ステップを示す構成説明図である。

20 【図12】上記実施例の広い開口幅のトレンチにおける製造工程の第6ステップを示す構成説明図である。

【図13】上記実施例の狭い開口幅のトレンチにおける製造工程の第7ステップを示す構成説明図である。

【図14】上記実施例の広い開口幅のトレンチにおける製造工程の第7ステップを示す構成説明図である。

【符号の説明】

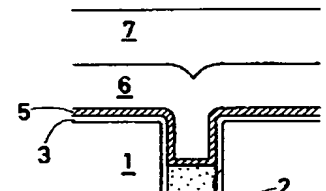
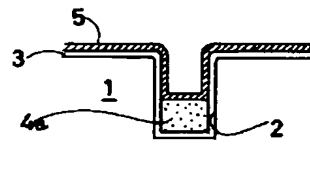
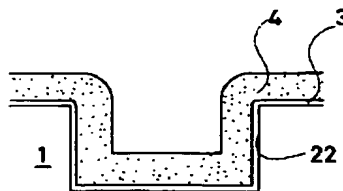
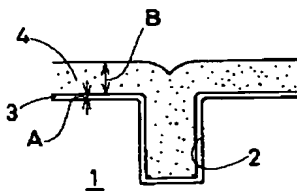
- 1 Si基板
- 2 狭い幅のトレンチ
- 3 熱酸化によるSiO₂ 膜
- 4 ポリシリコン膜
- 4a 狭い幅のトレンチに残存したポリシリコン膜
- 5 Si₃N₄ 膜
- 6, 9 CVD-SiO₂ 膜
- 7, 10 BPSG膜
- 22 広い幅のトレンチ

【図1】

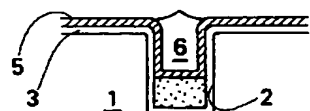
【図2】

【図3】

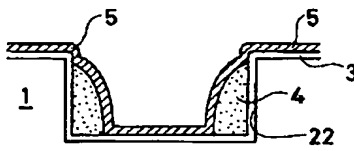
【図5】



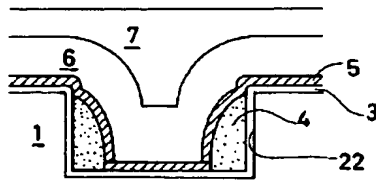
【図7】



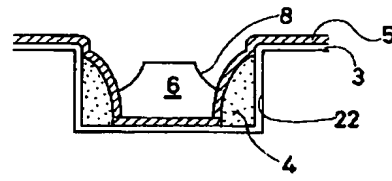
【図 4】



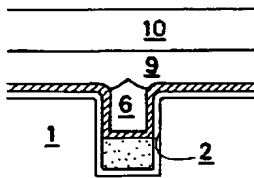
【図 6】



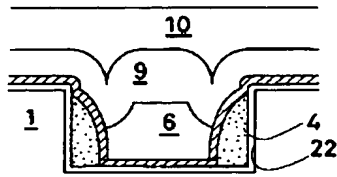
【図 8】



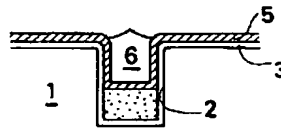
【図 9】



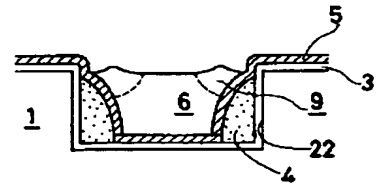
【図 10】



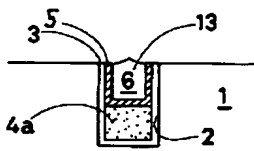
【図 11】



【図 12】



【図 13】



【図 14】

